

## 8.5. Interfața I<sup>2</sup>C

### 8.5.1. Introducere

Interfața I<sup>2</sup>C (Inter Integrated Circuits) este o interfață serie, apărută din necesitatea de a realiza sisteme ieftine cu microcontrolere, destinate în principal conducerii proceselor industriale. Un astfel de sistem este constituit, de regulă, dintr-unul sau mai multe microcontrolere și o serie de echipamente periferice (de intrare/ieșire, memorie etc.). Conectarea acestora printr-o interfață serie satisface cerințele enunțate. Viteza mică de transfer, caracteristică interfețelor serie, nu constituie un neajuns pentru aplicațiile principale avute în vedere (conducerea proceselor).

### 8.5.2. Descrierea interfeței

Realizarea unui sistem I<sup>2</sup>C presupune interconectarea unor circuite integrate (specializate) prin numai trei linii: două de semnal și una de masă. Cele două linii de semnal sunt denumite "serial data" (SDA) și "serial clock" (SCL). Fiecare circuit integrat are o adresă unică și poate funcționa fie ca transmițător, fie ca receptor, în funcție de tipul circuitului. De exemplu, un circuit pentru comanda unui afișaj cu cristale lichide poate fi numai receptor, în timp ce un circuit de memorie RAM poate fi atât transmițător cât și receptor (evident, nu simultan).

Dintr-un alt punct de vedere, un circuit integrat din sistem poate fi coordonator sau executant.

Circuitul integrat *coordonator* este circuitul care inițiază un transfer de date și tot el generează semnalele de tact pentru a permite realizarea unui transfer. Orice alt circuit integrat adresat de coordonator este *subordonat*.

Structura I<sup>2</sup>C este o structură *multi-coordonator*, adică se pot interconecta mai multe circuite care pot avea rolul de coordonator. Termenii implicați în descrierea funcționării interfeței I<sup>2</sup>C, precum și semnificația acestora sunt prezentate în tabelul 8.5

Tabelul 8.5

Termenul	Descrierea termenului
Transmițător	Dispozitivul care pune datele pe magistrală
Receptor	Dispozitivul care preia datele de pe magistrală
Coordonator	Dispozitivul care inițiază un transfer, generează semnalele de

	tact și termină transferul
Subordonat	Dispozitiv adresat de către coordonator
Multi-coordonator	Există mai multe dispozitive care pot să ceară în același timp funcția de coordonator fără să vicieze mesajul aflat pe magistrală
Arbitraj	Procedura prin care, fără să vicieze mesajul aflat pe magistrală, se declară un singur câștigător atunci când există mai multe dispozitive care solicită simultan funcția de coordonator
Sincronizare	Procedură prin care se sincronizează semnalul de tact funcție de viteza de transfer acceptată de dispozitivele implicate în transfer

Pentru a înțelege mai bine noțiunile prezentate, în figura 8.19 se prezintă un exemplu de sistem realizat pe structura I<sup>2</sup>C și se consideră următoarele situații :

- a). microcontrolerul A dorește să transmită date microcontrolerului B;
- b). microcontrolerul A dorește să recepționeze date de la microcontrolerul B.

Transferul datelor între cele două microcontrolere are loc după cum urmează.

În cazul a):

- microcontrolerul A (coordonator) adresează microcontrolerul B (subordonat);
- microcontrolerul A (emițător coordonator) transmite date microcontrolerului B (receptor subordonat);
- microcontrolerul A încheie transferul.

În cazul b):

- microcontrolerul A (coordonator) adresează microcontrolerul B (subordonat);
- microcontrolerul A (receptor coordonator) primește date de la microcontrolerul B (transmițător subordonat);
- microcontrolerul A încheie transferul.

Se observă că în ambele cazuri microcontrolerul A (coordonatorul) inițiază și încheie transferul. Totodată, el este cel care generează semnalele de tact în ambele cazuri.

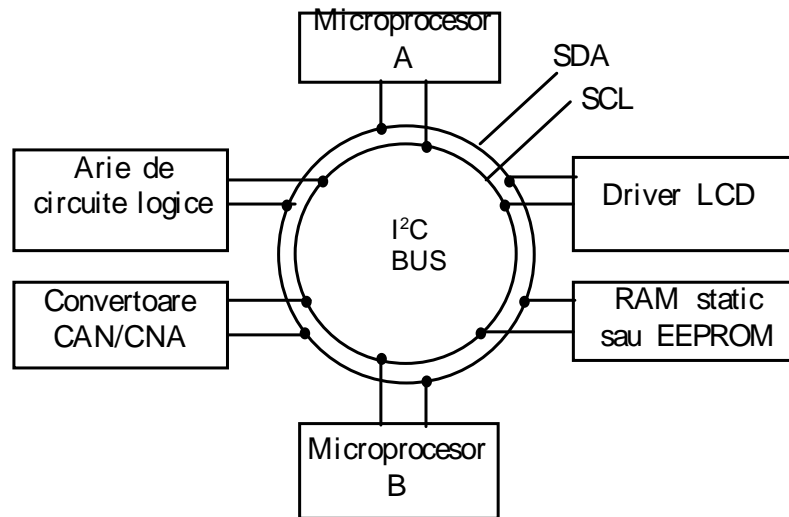


Fig.8.19. Sistem realizat pe structura I<sup>2</sup>C.

Deoarece este posibil ca într-un sistem să existe mai multe circuite care pot avea rolul de coordonator, este necesară o procedură de arbitrare a cererilor de transfer care ar putea să apară simultan. Această procedură este descrisă pe larg în subcapitolul 8.5.4.

Pentru conectarea la magistrala I<sup>2</sup>C fiecare circuit integrat este prevăzut cu câte un etaj de interfață pentru fiecare linie a magistralei (figura 8.20).

Ambele linii, SDA și SCL sunt linii bidirecționale, conectate la plusul sursei de alimentare prin câte un rezistor (rezistor "pull-up"). Dacă magistrala este liberă, ambele linii sunt la nivel ridicat. Etajele de ieșire ale fiecărui circuit care se conectează la magistrala I<sup>2</sup>C trebuie să aibă o ieșire de tip colector în gol sau drenă în gol, pentru a putea permite realizarea funcției ȘI-cablat.

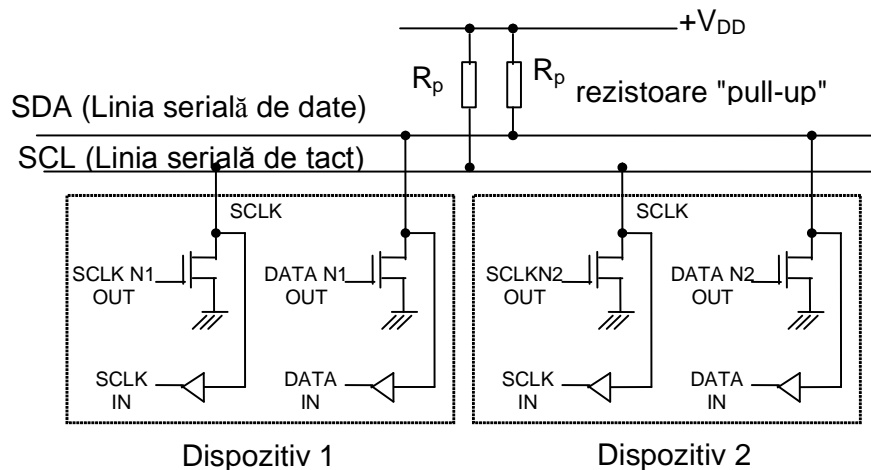


Fig.8.20. Conectarea a două circuite la magistrala I<sup>2</sup>C.

Rata maximă de transfer pe magistrală este de 100 kbit/s. Ultimile realizări de circuite integrate destinate să funcționeze în sisteme I<sup>2</sup>C admit rate maxime de transfer de 400 kbit/s.

Numărul de circuite care se pot conecta la magistrală este limitat numai de capacitatea maxim admisă pentru fiecare linie, care este de 400 pF.

### 8.5.3. Protocolul de transfer pe magistrala I<sup>2</sup>C

Protocolul de transfer al datelor pe magistrala I<sup>2</sup>C presupune inițierea transferului prin aducerea magistralei într-o condiție de *START*, transferul propriu-zis și încheierea transferului prin aducerea magistralei într-o condiție de *STOP*.

Condiția de *START (S)* este definită prin trecerea liniei SDA din 1 în 0, în timp ce linia SCL este menținută la nivel ridicat.

Condiția de *STOP (P)* este definită prin trecerea liniei SDA din 0 în 1, în timp ce linia SCL este menținută la nivel ridicat.

Ambele condiții sunt ilustrate în figura 8.21. Ele sunt generate întotdeauna de către coordonator.

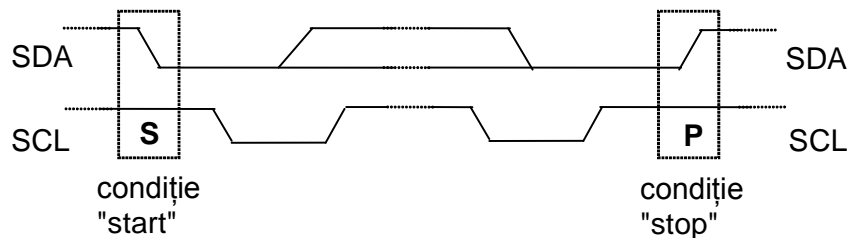
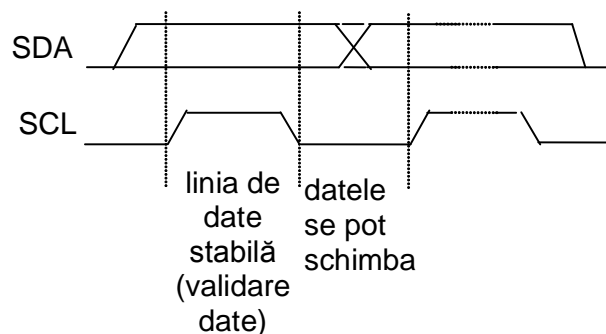


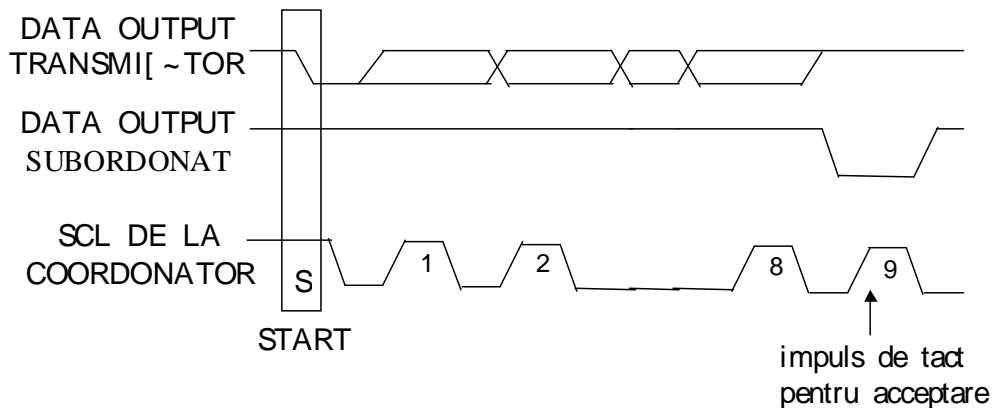
Fig.8.21. Definirea condițiilor de *START* și *STOP*.

Datele trebuie să fie stabile pe durata impulsurilor de tact (figura 8.22). Modificarea datelor se poate face pe durata pauzelor dintre impulsurile de tact (figura 8.22).

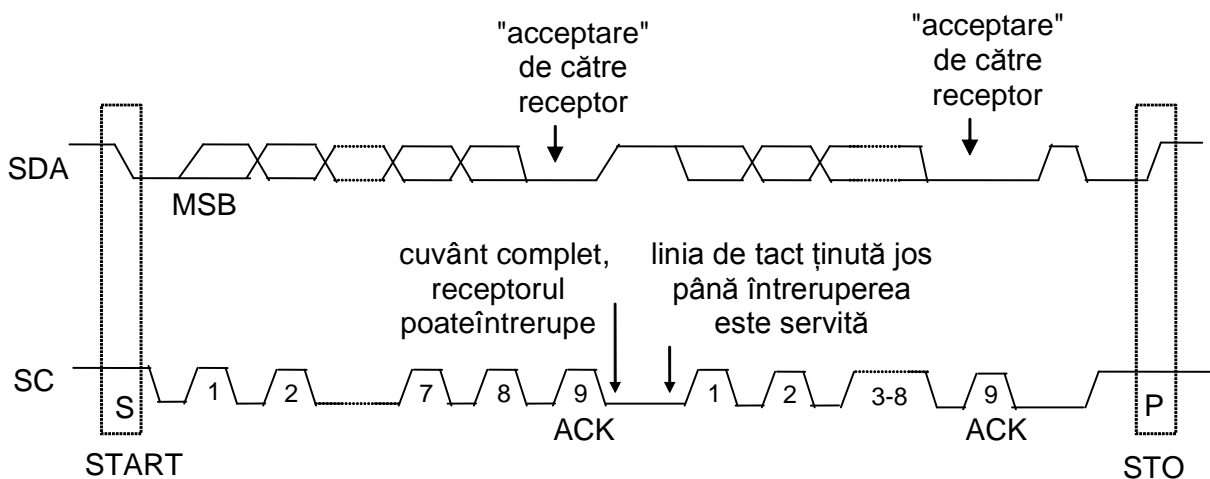


*Fig.8.22. Definirea intervalelor în care datele se pot schimba și în care trebuie să fie stabile.*

Datele sunt transferate pe magistrală sub formă de octeți. După transmiterea fiecărui octet transmițătorul trebuie să afle dacă acesta a fost recepționat în bune condiții de către receptor. Aceasta se face prin procedura de acceptare (figura 8.23). După transmiterea celui de-al 8-lea bit, transmițătorul lasă în starea sus linia de date SDA; dacă recepția s-a făcut corect (fiecare bit a fost preluat, s-a verificat paritatea, cuvântul recepționat în registrul de deplasare pentru recepție a fost preluat de registrul tampon pentru recepție), atunci receptorul trage jos linia SDA pe durata celui de-al 9-lea tact de pe linia SCL.



*Fig. 8.23 Procedura de acceptare a unui octet*



*Fig.8.24. Transferul datelor pe magistrala I<sup>2</sup>C.*

Numărul de octeți care poate fi transmis în cadrul unui transfer nu este limitat. În cadrul unui octet, primul bit transferat este bitul cel mai semnificativ

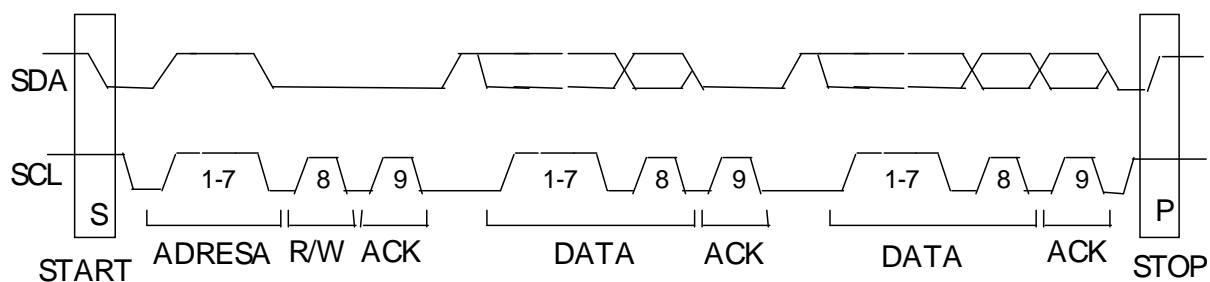
(figura 8.24). După primele opt impulsuri de tact necesare transmiterii unui octet urmează un al nouălea impuls, utilizat pentru recunoașterea efectuării transferului (a se vedea mai sus).

Dacă, după recepția unui octet, receptorul nu admite un nou octet (pentru că, de exemplu, tratează o întrerupere internă), el poate menține linia SCL la nivel coborât pentru a forța transmițătorul într-o stare de așteptare. Transferul poate continua când receptorul este gata, situație indicată prin eliberarea liniei SCL (figura 8.24). În felul acesta se face adaptarea vitezei de transmisie după viteza celui mai lent participant.

Întotdeauna, primul octet transmis după condiția de START reprezintă adresa unui subordonat, împreună cu tipul operației solicitate (scriere sau citire). Primii șapte biți ai acestui octet reprezintă adresa. Tipul operației este precizat de bitul 8, notat R/W. Astfel, dacă  $R/W = 1$ , coordonatorul va citi date de la subordonatul adresat iar

dacă  $R/W = 0$ , coordonatorul va transmite date subordonatului adresat.

Un transfer complet este ilustrat în figura 8.25.



*Fig.8.25. Transferul unui mesaj pe magistrala I<sup>2</sup>C.*

Utilizarea tehnicii de recunoaștere a transferului este obligatorie pentru asigurarea unui transfer corect. Impulsul de tact corespunzător fiecărui octet, denumit impuls de recunoaștere, este generat de coordonator. Transmițătorul eliberează linia SDA pe durata impulsului de recunoaștere. Receptorul trebuie să aducă linia SDA la nivel coborât și să o mențină așa pe toată durata impulsului de recunoaștere, ceea ce garantează efectuarea corectă a transferului octetului respectiv. În general, un receptor adresat trebuie să recunoască fiecare octet transmis. Există și excepții, care însă nu fac obiectul acestei tratări.

Dacă un receptor subordonat nu recunoaște adresa care i-a fost trimisă pe magistrală (de exemplu, nu poate recepționa date pentru că execută o funcție în timp real), subordonatul trebuie să lase linia SDA la nivel ridicat. În această

situație, coordonatorul poate genera o condiție de STOP pentru a abandona transferul.

Dacă receptorul subordonat recunoaște adresa care i-a fost trimisă, dar, după transferul unui număr oarecare de octeți, nu mai poate recepționa alții, atunci coordonatorul trebuie să abandoneze din nou transferul. Pentru aceasta, după primul octet care nu mai poate fi recepționat, subordonatul nu mai generează recunoașterea, adică lasă linia SDA la nivel ridicat. În această situație, coordonatorul poate genera condiția de STOP pentru a abandona transferul.

Dacă circuitul coordonator este receptor și nu mai poate recepționa date, atunci el semnalează aceasta transmițătorului subordonat prin faptul că nu mai generează recunoașterea după ultimul octet pe care îl poate recepționa. În această situație, transmițătorul subordonat trebuie să elibereze linia SDA pentru a permite coordonatorului să genereze o condiție de STOP.

#### **8.5.4. Generarea impulsurilor de tact și arbitrarea coordonatorilor**

Structura I<sup>2</sup>C este, după cum s-a precizat anterior, o structură multi-coordonator, adică într-un sistem interconectat prin magistrala I<sup>2</sup>C pot să existe mai multe circuite care pot avea rolul de coordonator. În cadrul unui transfer, delimitat de condițiile de START și STOP, există un singur coordonator. Se poate întâmpla însă ca mai mulți coordonatori să încerce simultan să inițieze un transfer. Prin urmare, este necesară o procedură de arbitraj în urma căreia să rezulte un coordonator unic în cadrul fiecărui transfer. Procedura de arbitraj este descrisă în continuare.

Fiecare circuit coordonator generează propriile lui impulsuri de tact. Sincronizarea acestora este absolut necesară pentru evitarea funcționării haotice. Sincronizarea este posibilă datorită funcției logice ȘI-cablat, realizată prin legarea împreună a tuturor terminalelor SCL. Sincronizarea se produce în modul descris mai jos, cu referire la figura 8.26.

În legătură cu această figură, precum și cu alte diagrame de timp ce vor fi prezentate, se face precizarea că semnalele CLK1, CLK2 și DATA1, DATA2 sunt semnalele aduse la *intrările* etajelor de ieșire corespunzătoare, cuplate la liniile SCL respectiv SDA.

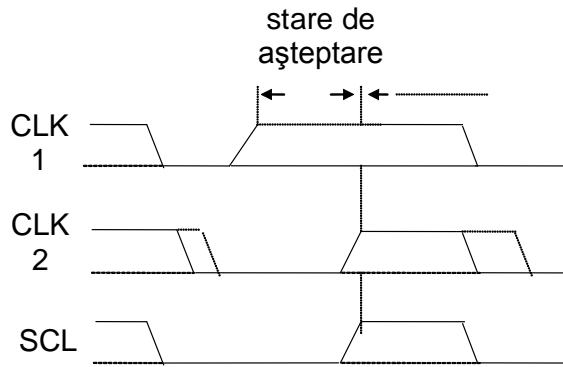


Fig.8.26. Sincronizarea impulsurilor de tact.

Prima tranziție  $1 \rightarrow 0$  a unui semnal CLK este cea a semnalului CLK1. Aceasta aduce linia SCL la nivel coborât și resetează CLK2. Ambii coordonatori încep să genereze starea 0 a impulsului de tact. La un moment dat, CLK1 trece în starea 1, însă linia SCL este menținută în continuare în starea 0 pentru că starea 0 a tactului CLK2 încă nu s-a încheiat. Până la încheierea acesteia, CLK1 introduce o stare de așteptare. În momentul în care CLK2 trece din 0 în 1, linia SCL este eliberată și ambii coordonatori încep generarea stării 1 a impulsului de tact. Primul semnal de tact care trece din nou din 1 în 0 aduce din nou linia SCL la nivel coborât. În acest fel se generează impulsuri de tact sincronizate. Durata stării 1 este determinată de semnalul CLK cu cea mai mică durată a stării 1 iar durata stării 0 este determinată de semnalul CLK cu cea mai lungă durată a stării 0.

Arbitrarea coordonatorilor se face pe linia SDA, impulsurile de tact generate de coordonatori fiind sincronizate în modul descris mai sus. Coordonatorul care transmite un nivel ridicat pierde arbitrarea dacă în același timp un alt coordonator transmite un nivel coborât (figura 8.27). Coordonatorul care pierde arbitrarea trebuie să își deconecteze etajul de ieșire date, astfel încât să nu mai influențeze starea liniei SDA.

Arbitrarea poate continua mai mulți biți. În prima etapă se compară biții de adresă. Dacă ambii coordonatori încearcă să adreseze același executant, arbitrarea continuă cu compararea biților de date. Deoarece arbitrarea folosește biții de adresă și de date, nu se pierde informația în timpul acestui proces.

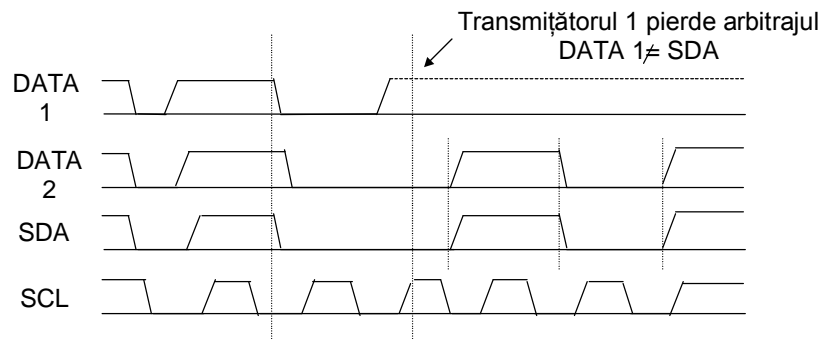
Coordonatorul care pierde arbitrarea poate continua să transmită impulsuri de tact până la sfârșitul octetului în care pierde arbitrarea.

Dacă un coordonator pierde arbitrarea în faza de adresare, este posibil ca acel coordonator care o câștigă să încerce să-l adreseze. În această situație, coordonatorul care pierde arbitrarea trebuie să treacă imediat în regim de executant (ascultător).



*Observație.* Deoarece controlul magistralei I<sup>2</sup>C depinde numai de adresele și datele transmise de coordonatori, nu există nici coordonator central și nici vreo ordine de prioritate pe magistrală.

Procedura de sincronizare a impulsurilor de tact, descrisă mai sus, se poate utiliza și pentru adaptarea vitezei de transfer fie la nivel de octet, fie la nivel de bit.

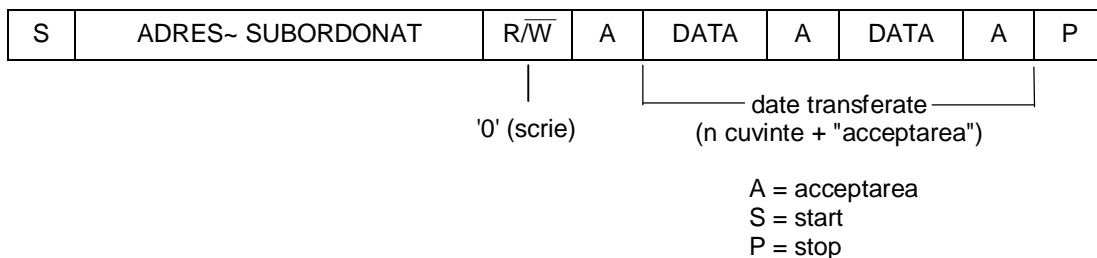


*Fig.8.27. Arbitrarea a doi coordonatori.*

La nivel de octet, este posibil ca executantul să recepționeze datele în ritmul impus de coordonator, însă să necesite un timp mai lung pentru memorarea lor. În această situație, executantul poate menține linia SCL la nivel coborât, după recunoașterea recepționării unui octet, forțând coordonatorul să introducă o stare de așteptare până când executantul este gata pentru recepția unui nou octet.

La nivel de bit, executantul care nu poate recepționa datele în ritmul impus de coordonator poate încetini acest ritm prin extinderea stării 0 a impulsurilor de tact. În acest mod, viteza oricărui coordonator se poate adapta la viteza oricărui executant.

Formatul mesajelor ce se vehiculează pe interfața I<sup>2</sup>C sunt arătate în figurile 8.28, 8.29 și 8.30



*Fig. 8.28 Coordonatorul transmite unui receptor subordonat. Direcția nu se schimbă*

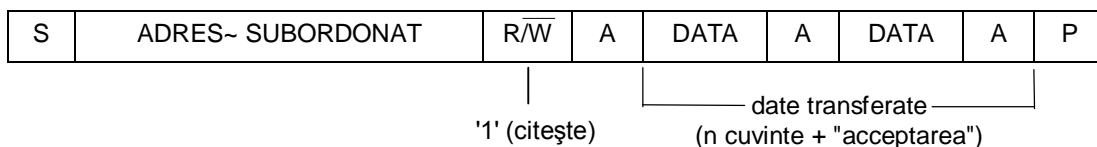


Fig. 8.29 Coordonatorul citește de la subordonat imediat după ce a transmis adresa acestuia

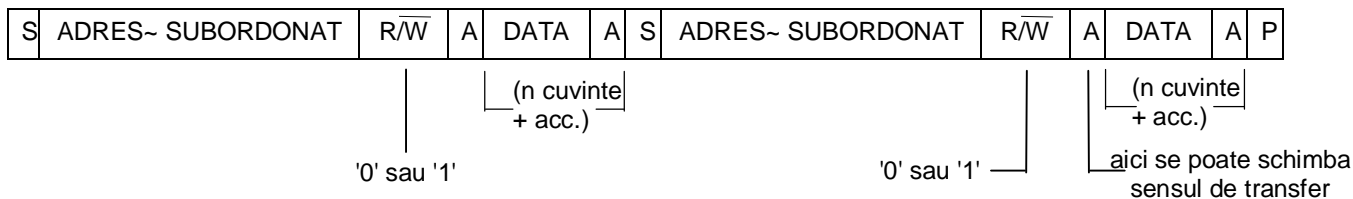


Fig. 8.30 Coordonatorul lucrează cu doi subordonați în cadrul aceleiași sesiuni

În figura 8.30 se arată situația când coordonatorul lansează condiția de start, apoi adresa unui subordonat cu care comunică. La terminarea comunicării cu acesta vrea să comunice cu un al 2-lea subordonat. Pentru aceasta lansează o a doua condiție de start, adresa celui de-al 2-lea subordonat cu stabilirea sensului comunicării și se realizează transferul. La sfârșit, coordonatorul încheie cu condiția de stop. A doua condiție de start este necesară deoarece pe durata condiției de start, circuitele cuplate la I<sup>2</sup>C se resetează și așteaptă să identifice adresa pe care urmează să o transmită coordonatorul.

### 8.5.5. Adresarea în sistemul I<sup>2</sup>C

În I<sup>2</sup>C se impune ca primul octet după condiția de start să fie adresa subordonatului cu care coordonatorul dorește să facă transfer. Adresa trebuie să urmeze după condiția S. Excepție de la această regulă este situația de “adresare generală” la care toate elementele din sistem trebuie să răspundă și care se codifică prin doi octeți. Totuși, există elemente care nu răspund (nu este util să răspundă) la “adresarea generală”. Ele vor ignora codul adresării generale.

La adresarea obișnuită, octetul ce urmează după condiția S codifică pe primii 7 biți mai semnificativi adresa subordonatului, iar bitul mai puțin semnificativ este bitul R/W și arată sensul transferului. Atunci când se transmite adresa, fiecare dispozitiv din sistem compară adresa recepționată cu propria adresă; dacă constată egalitatea, dispozitivul devine subordonat receptor sau subordonat transmițător, funcție de valoarea bitului R/W.

Tabelul 8.6

Adresa subordonat	bitul R/W	Descriere
0000.000	0	Adresare generală
0000.000	1	Cuvântul START

0000.001	x	adresare pentru sisteme CBUS
0000.010	x	rezervat pentru adresarea în alte tipuri de magistrale
0000.011	x	utilizate ca adrese
0000.1xx	x	
.....	x	
1111.1xx	x	
1111.0xx	x	rezervat pentru adresarea cu 10 biți

Adresa unui subordonat poate avea o parte fixă și o parte programabilă. Partea fixă definește clasa dispozitivului (spre exemplu: memorii, dispozitive de afișare, microprocesoare, etc.) iar partea programabilă identifică dispozitivul din clasa respectivă. Mărimea părții programabile depinde de numărul de pini pentru adresă pe care circuitul îi are. Spre exemplu, un circuit are 4 biți de adresa fixă și 3 biți programabili; aceasta înseamnă că se pot conecta la magistrala I<sup>2</sup>C 8 dispozitive de acest fel.

Comitetul de coordonare al magistralei I<sup>2</sup>C a recomandat o alocare a celor 127 de adrese prezentată în tabelul 8.6. Există două grupe de câte 8 adrese: 0000xxx și 1111xxx rezervate pentru scopurile arătate în tabel. Adresele 11110xx sunt rezervate pentru adresarea cu 10 biți, folosită în sisteme I<sup>2</sup>C de mare întindere.

#### Adresarea generală

Este o adresare pentru toate dispozitivele din sistemul I<sup>2</sup>C care au fost prevăzute să recunoască adresarea generală. Adresarea generală se face pe doi octeți (figura 8.31): primul este 0000.0000, iar al doilea octet specifică acțiunea pe care trebuie să o realizeze subordonații.

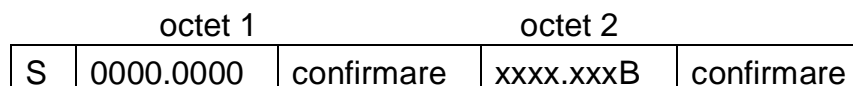


Fig. 8.31 Formatul adresării generale

Funcție de valoarea bitului B din octetul 2 distingem cazurile:

1 Dacă B = 0, al doilea octet are următoarele semnificații, funcție de valoarea în cod hexazecimal:

- a) 02h = “scrie adresa subordonat numai soft”. Elementele din sistemul I<sup>2</sup>C care obțin partea programabilă a adresei lor prin program intră într-un regim prin care pot fi programate. Nu se face resetul circuitului.
- b) 04h = “scrie adresa subordonatului numai hard”. Elementele din sistemul I<sup>2</sup>C care obțin partea programabilă a adresei lor prin starea unor circuite (bistabile, comutatoare) vor încărca în registrul intern de adresă această parte fixă de adresă. Nu se face resetul circuitului.
- c) 06h = “reset” și “scrie partea programabilă a adresei hard și soft”  
Elementele din sistem realizează două operații: se inițializează (revin în starea bine definită de fabricant) și își preiau adresa, atât partea fixă cât și partea programabilă și în ordinea stabilită de proiectantul sistemului. În figura 8.32 Se arată secvența de încărcare a adreselor. Cu ABCD s-a notat partea fixă a adresei.
- d) 00h - acest cod nu este permis a fi utilizat ca al doilea octet într-o adresare generală.

*Observație.* Este important ca la punerea sub tensiune nici un element din sistem să nu tragă jos linia SCL sau SDA, caz în care sistemul nu poate porni.

S	00h	A	06h	A	ABCD000	x	A	ABCD001	x	A	ABCD010	x	A	P
---	-----	---	-----	---	---------	---	---	---------	---	---	---------	---	---	---

*Fig. 8.32 Secvență de programare a adreselor de către coordonator*

2. B = 1. În acest caz secvența de doi octeți se numește “adresare generală din partea unui coordonator hardware”. Prin coordonator hardware se înțelege orice element din sistemul I<sup>2</sup>C care nu poate fi programat să transmită adresa unui subordonat dorit atunci când el trebuie să devină coordonator. Spre exemplu: o tastatură, un scanner, etc. care trebuie să transmită date fără să poată desemna cui trebuie să le transmită. În această situație el va genera o adresare generală, specificând pe câmpul celui de al doilea octet propria adresă. Aceasta este recunoscută de un element inteligent din sistem (un microprocesor) care va prelua și apoi va direcționa informația (figura 8.33)

S	00h	A	adr.coord. hard	1	A	Date	A	Date .... Date	A	P
---	-----	---	-----------------	---	---	------	---	----------------	---	---

*Fig. 8.33 Coordonatorul hard transmite date prin intermediul unui microprocesor*

Există coordonatoare hard ce au posibilitatea să încarce într-un registru intern adresa unui subordonat cu care urmează să ia legătura. În acest caz, coordonatorul “inteligent” al sistemului furnizează coordonatorului hard, într-o primă fază a), adresa subordonatului ce comunică cu coordonatorul hard în faza b). (figura 8.34).

S	adr. coord. hard   0	A	adr. subord. receptor pt. coord. hard   x	A	P
---	----------------------	---	---	---	---

a)

S	adr. subord. receptor pt. coord hard   0	A	Date 1	A	... ..Date n	A	P
---	--	---	--------	---	--------------	---	---

b)

*Fig. 8.34 Coordonatorului hard i se specifică adresa subordonatului*

Un microprocesor poate fi conectat la magistrala I<sup>2</sup>C în două moduri: fie că are înglobate circuite suplimentare care să recunoască mesaje de întrerupere furnizate pe linia SDA, fie că monitorizează continuu liniile SDA și SCL pentru a depista condiția de start. Monitorizarea continuă a liniilor (testarea pe fiecare impuls de ceas a condiției de start) ia mult din timpul de lucru al microprocesorului care astfel devine lent în executarea programelor ce-i revin.

Pentru a ocupa mai puțin timp microprocesorul, monitorizarea de către acesta a condiției de start intră în regimul “sleep”, din care se iese numai dacă pe linia SDA se transmit unul după altul 7 biți cu valoarea “0”. După detectarea acestei condiții, microprocesorul monitorizează liniile SDA și SCL pe fiecare impuls de tact. Pentru a fi eficient acest mod de lucru se impune ca fiecare transfer de date să fie precedat de transmisia unui octet de START, procedura fiind următoarea:

1. Coordonatorul magistralei inițiază condiția de start S,
2. Coordonatorul transmite octetul de START (0000.0001),
3. Coordonatorul transmite impulsul de tact pentru confirmare și nu așteaptă să fie confirmat de către cineva pri tragerea jos a liniei SDA,
4. Coordonatorul inițiază o repetare a condiției de start Sr și continuă procedura obișnuită de transfer prin transmiterea adresei subordonatului, a bitului R/W, ș.a.m.d.

Microprocesorul ce nu este coordonator iese din modul “sleep” în faza 3), detectează condiția repetată de start, observă adresa subordonatului și dacă nu este a lui, poate să intre din nou în modul “sleep” de monitorizare a magistralei.

Magistrala I<sup>2</sup>C are posibilitatea de a transmite unui receptor din sistemul CBUS. Sistemul CBUS are 3 linii: SDA, SCL și DLEN. Pe linia SCL nu se transmite cel de-al noulea impuls (de confirmare), ci confirmarea se realizează

prin intermediul liniei DLEN. Ca urmare transmițătorul, ce lucrează în I<sup>2</sup>C, trebuie să transmită octet după octet, să suprimă bitul de confirmare și să activeze linia suplimentară DLEN. Restul elementelor din I<sup>2</sup>C nu trebuie să răspundă la un mesaj CBUS. De aceea există o adresă specială (0000.001x) pentru conectări CBUS. La transmiterea acestei adrese, elementele I<sup>2</sup>C nu răspund și se activează linia DLEN. Revenirea în sistemul I<sup>2</sup>C se face după identificarea condiției STOP.