

# Procesoare si Sisteme de Achizitie

Conf. Daniel Belega

*Departamentul Masurari si Electronica Optica,  
Facultatea de Electronica și Telecomunicatii,  
Universitatea Politehnica din Timisoara,  
Cabinet B 320,*

*Email: [daniel.belega@etc.upt.ro](mailto:daniel.belega@etc.upt.ro)*



# Procesorul de semnal TMS320C6416T

## §1. Generalități

- Generatii de procesoare de semnal realizate de firma Texas Instruments (TMS320):
  - Procesoare in virgula fixa: C1x, C2x, C5x, C54x și C55x
  - Procesoare in virgula flotanta: C3x, C4x și C8x
  - Noua generatie de procesoare (platforma TMS320C6000):
    - Procesoare in virgula fixa: C62x și C64x
    - Procesoare in virgula flotanta: C67x

## ○ Domenii de aplicatii pentru procesoarele TMS320

Automotive	Consumer	Control
Adaptive ride control	Digital radios/TVs	Disk drive control
Antiskid brakes	Educational toys	Engine control
Cellular telephones	Music synthesizers	Laser printer control
Digital radios	Pagers	Motor control
Engine control	Power tools	Robotics control
Global positioning	Radar detectors	Servo control
Navigation	Solid-state answering machines	
Vibration analysis		
Voice commands		
General Purpose	Graphics/Imaging	Industrial
Adaptive filtering	3-D computing	Numeric control
Convolution	Animation/digital maps	Power-line monitoring
Correlation	Homomorphic processing	Robotics
Digital filtering	Image compression/transmission	Security access
Fast Fourier transforms	Image enhancement	
Hilbert transforms	Pattern recognition	
Waveform generation	Robot vision	
Windowing	Workstations	
Instrumentation	Medical	Military
Digital filtering	Diagnostic equipment	Image processing
Function generation	Fetal monitoring	Missile guidance
Pattern matching	Hearing aids	Navigation
Phase-locked loops	Patient monitoring	Radar processing
Seismic processing	Prosthetics	Radio frequency modems
Spectrum analysis	Ultrasound equipment	Secure communications
Transient analysis		Sonar processing
Telecommunications		Voice/Speech
1200- to 56 600-bps modems	Faxing	Speaker verification
Adaptive equalizers	Future terminals	Speech enhancement
ADPCM transcoders	Line repeaters	Speech recognition
Base stations	Personal communications systems (PCS)	Speech synthesis
Cellular telephones	Personal digital assistants (PDA)	Speech vocoding
Channel multiplexing	Speaker phones	Text-to-speech
Data encryption	Spread spectrum communications	Voice mail
Digital PBXs	Digital subscriber loop (xDSL)	
Digital speech interpolation (DSI)	Video conferencing	
DTMF encoding/decoding	X.25 packet switching	
Echo cancellation		

○ Avantajele procesoarelor din platforma TMS320C6000:

- viteză foarte ridicată (pot ajunge până la 8000 MIPS);
- compilator C foarte eficient;
- ușor de utilizat;
- prețuri accesibile.

## ○ Aplicatii recomandate

- Pooled modems
- Wireless local loop base stations
- Remote access servers (RAS)
- Digital subscriber loop (DSL) systems
- Cable modems
- Multichannel telephony systems.
- Personalized home security with face and hand/fingerprint recognition
- Advanced cruise control with GPS navigation and accident avoidance
- Remote medical diagnostics
- Beam-forming base stations
- Virtual reality 3-D graphics
- Speech recognition
- Audio
- Radar
- Atmospheric modeling
- Finite element analysis
- Imaging (for example, fingerprint recognition, ultrasound, and MRI).

## §2. Caracteristicile procesorului TMS320C6416T

- Are o arhitectura VLIW (Very-Long-Instruction-Word) – VelociTI.2
  - 2 seturi de registre de uz general A si B de 32 biti;
  - 8 unități functionale cu operare independenta:
    - 6 unitati aritmetice si logice (ALU) – operatii aritmetice pe 32 biti, 2x16 biti, 4x8 biti/ciclu masina;
    - 2 multiplicatoare – 4 inmultiri 16x16 biti (rezultate pe 32biti) /ciclu masina sau 8 inmultiri 8x8 biti (rezultate pe 16 biti)/ciclu masina.
  - 64 registre de uz general pe 32 de biti;
  - arhitectura incarcare/memorare nealiniata;
  - instructiuni impachetate care reduc lungimea codul masina;
  - executia tuturor instructiunilor este conditionata.

## ○ Are doua coprocesoare de mare performanta:

- Coprocesor de decodare Viterbi – VCP (Viterbi Decoder Coprocessor);
  - este folosit pentru decodificarea datelor codate convolutional necesara in cadrul standardelor pentru telefoanele mobile din generatia a treia (3G) – standardele IS2000 si 3GPP.
- Coprocesor de decodare turbo – TCP (Turbo Decoder Coprocessor);
  - este folosit pentru decodificarea datelor codate turbo in cadrul standardelor pentru telefoanele mobile din generatia a treia (3G) – standardele IS2000 si 3GPP.

## ○ Este procesorul de semnal în virgulă fixă cel mai performant:

- durata ciclului mașină: 1,67/1,39/1,17/1ns;
- frecvența de tact: 600/720/850/1000 MHz;
- 8 instrucțiuni de 32 pe biți/ciclu mașină;
- 28 de operații/ciclu mașină;
- 4800, 5760, 6800, 8000 MIPS.

- Memoria are o arhitectura pe doua nivele pentru memoria de date si de program
  - primul nivel - memorie cache de program (L1P) de 128K-Bit;
  - primul nivel - memorie cache de date (L1D) de 128K-Bit;
  - al doilea nivel - memorie de date si de program (L2) de 8M-Bit; L2 poate fi configurata partial cache, partial SRAM.
  
- Doua interfete accesare memorie externa -EMIFA si EMIFB (External Memory InterFace)
  - EMIFA este pe 64 biti, iar EMIFB este pe 16 biti;
  - permit interfatarea cu memorii asincrone (SRAM si EPROM), sincrone (SDRAM, SBSRAM, ZBT SRAM si FIFO) si periferice.
  
- Controler perfectionat de acces direct la memorie – EDMA (Enhanced Direct-Memory-Access)
  - are 64 de canale independente.



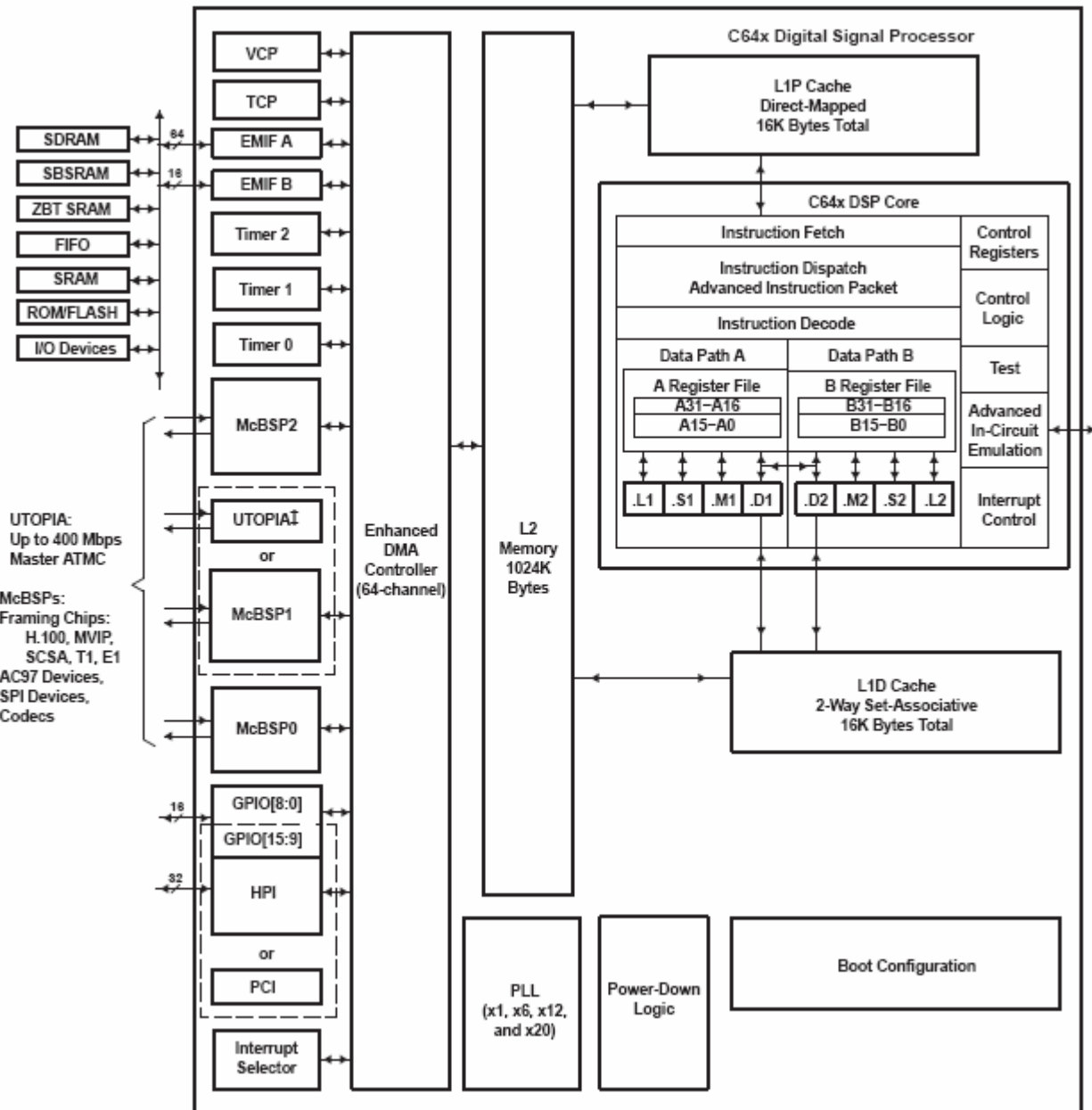
- Port paralel de interfata cu un echipament gazda – HPI (Host-Port Interface)
  - numarul de biti ai magistralei sunt programati de utilizator (32/16 biti).
- Interfata Master/Slave PCI
  - trei registre pentru magistrala de adresa PCI;
  - interfata seriala EEPROM pe 4 fire;
  - cerere de intrerupere PCI prin programare;
  - intrerupere a procesorului via ciclu PCI I/O.
- Trei porturi seriale multicanal cu acces direct la memorie – McBSP (Multichannel Buffered Serial Port)
  - interfata directa cu cadrele T1/E1, MVIP, SCSA;
  - transmisia si receptia se poate efectuamulticanal pana la 256 de canale;
  - compatibile ST-BUS si AC97;
  - compatibil SPI (Serial Peripheral Interface).

- Trei circuite de temporizare pe 32 de biti (Timer 0 –Timer 2)
- O interfata UTOPIA (Universal Test and Operations Interface for Asynchronous Transfer Mode (ATM))
  - permite ca procesorul sa fie un circuit ATM slave.
- 16 pini I/O pentru utilizare generala GPIO (General Purpose I/O Pins)
- Generator de tact PLL flexibil
- Emulare conform cu Standardul IEEE-1149.1(JTAG)
- Realizat in tehnologie CMOS - proces tehnologic 0,9  $\mu\text{m}$
- Tensiune de alimentare – intern 1,1 V (600 MHz), 1,2 V (720, 850, 1000 MHz); I/O – 3,3V

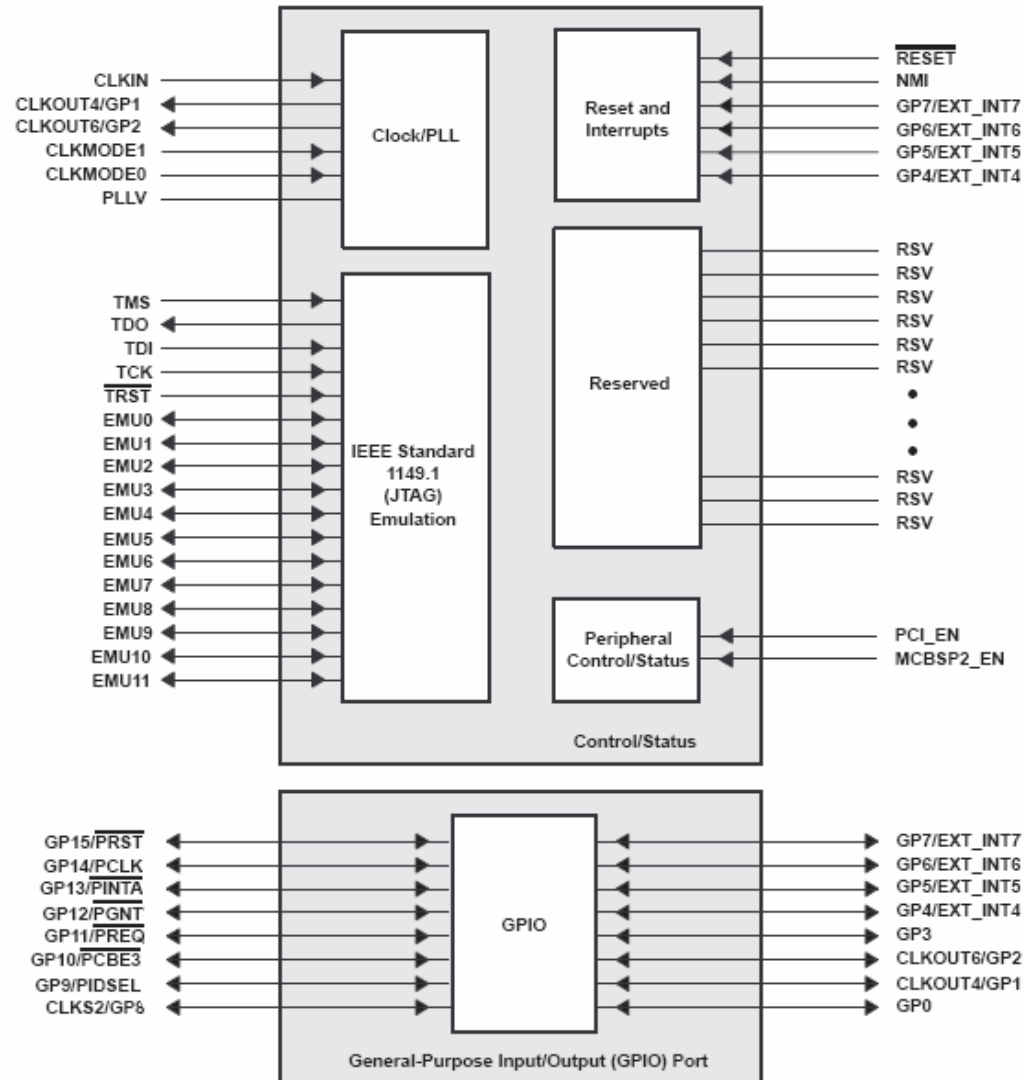


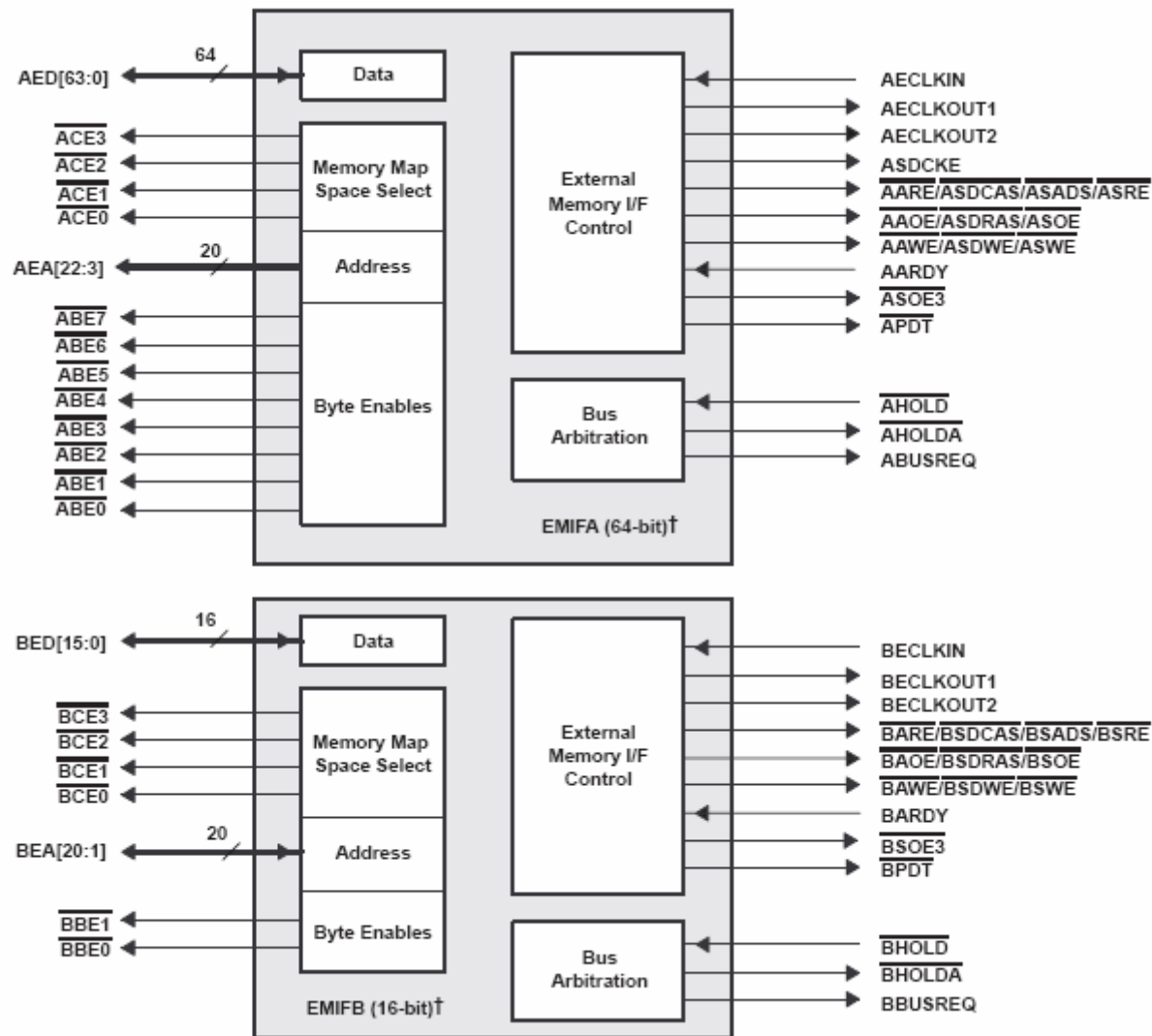
## §2. Structura procesorului TMS320C6416T

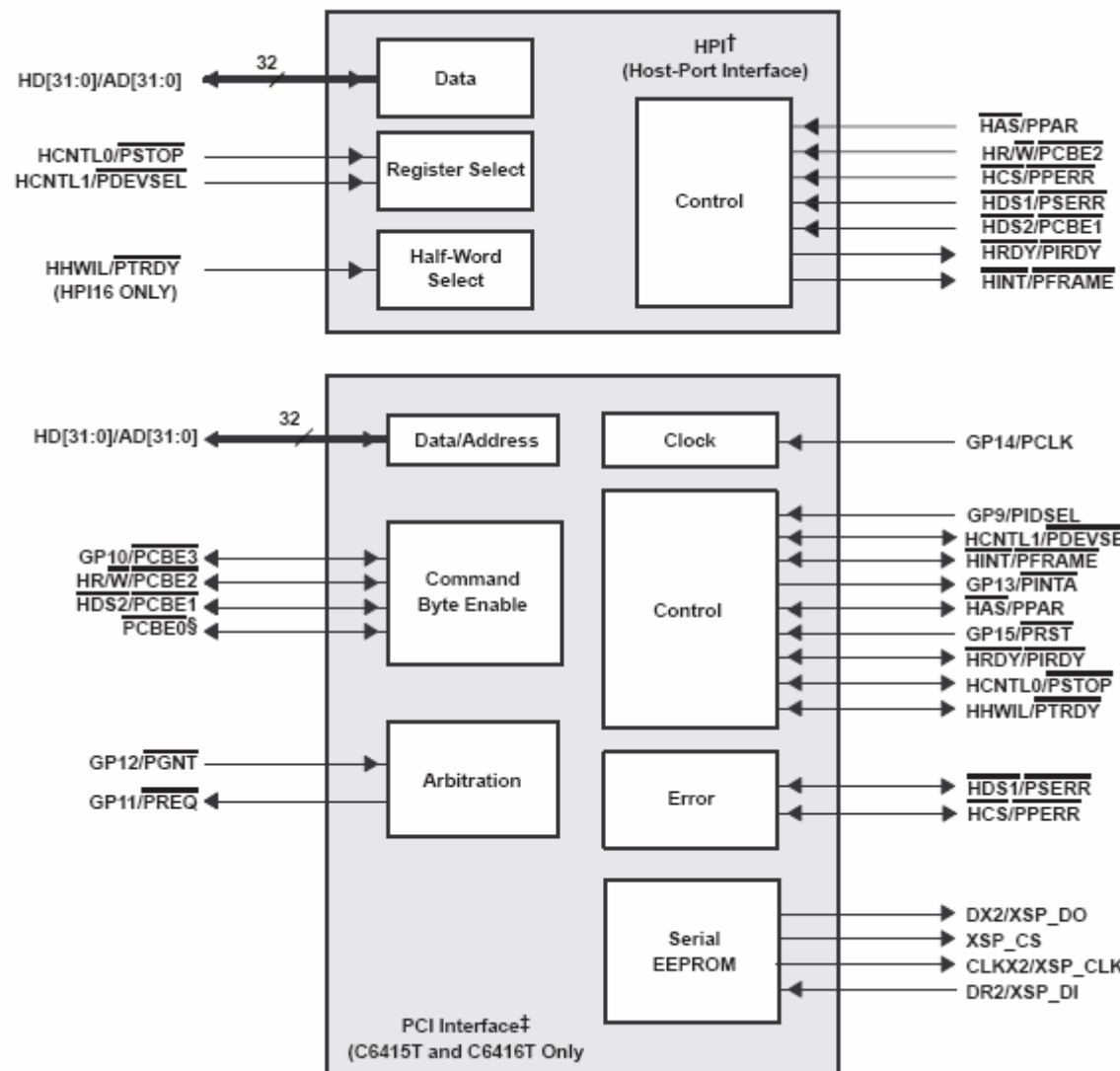
### § 2.1. Schema bloc



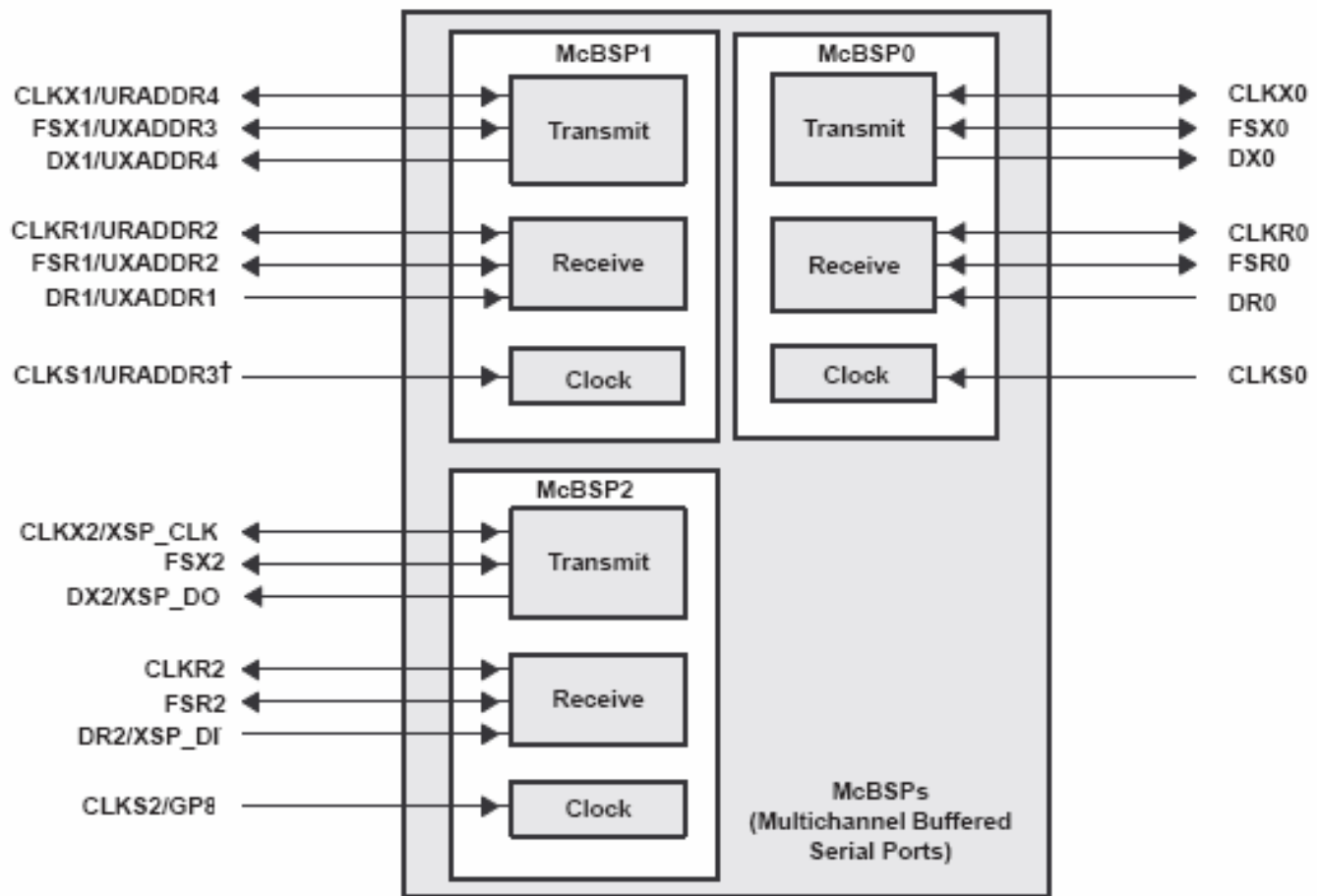
## § 2.2. Semnalele procesorului

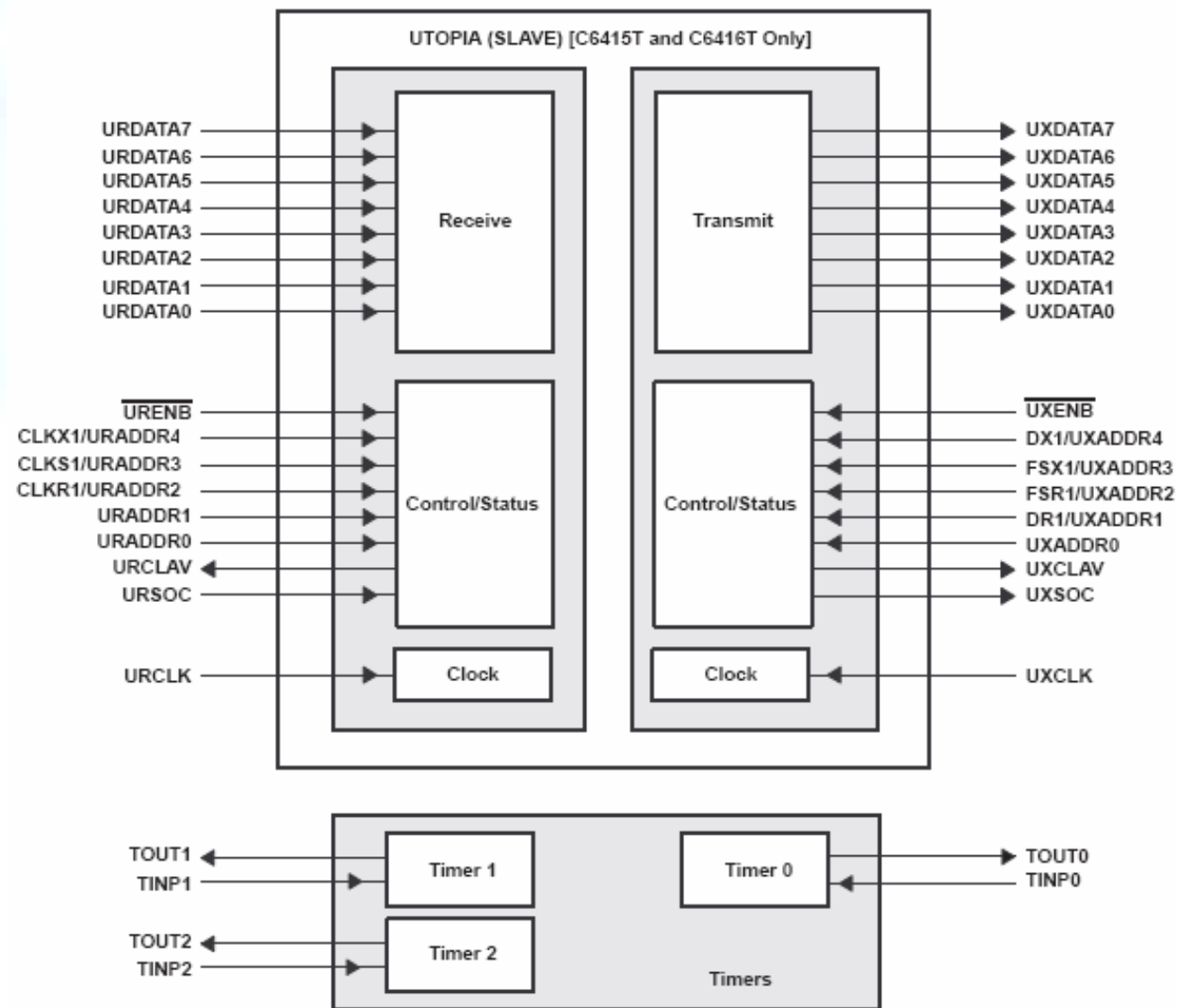












## § 3. Unitatea Centrala de Prelucrare - CPU

### § 3.1. Introducere

#### ○ CPU contine:

- o unitate de extragere a codului instructiune din memoria de program;
- o unitate de trimitere a instructiunilor & 'impachetare' avansata a instructiunilor ;
- o unitate de decodificare a instructiunilor;
- 2 cai pentru date A si B, fiecare avand 4 unitati functionale;
- 64 de registre pe 32 de biti;
- registre de control;
- logica de control;
- test, emulare si logica de intreruperi.

- ❑ Unitatile de extragere a codului instructiune din memoria de program, de trimitere a instructiunilor si de decodificare a instructiunilor pot furniza pana la 8 instructiuni de 32 de biti la unitatile functionale la fiecare perioada de tact a CPU.
- ❑ Procesarea instructiunilor are loc in fiecare din cele doua cai ale datelor.
- ❑ Operatiile de control ale procesorului sunt stabilite in registrul de control.

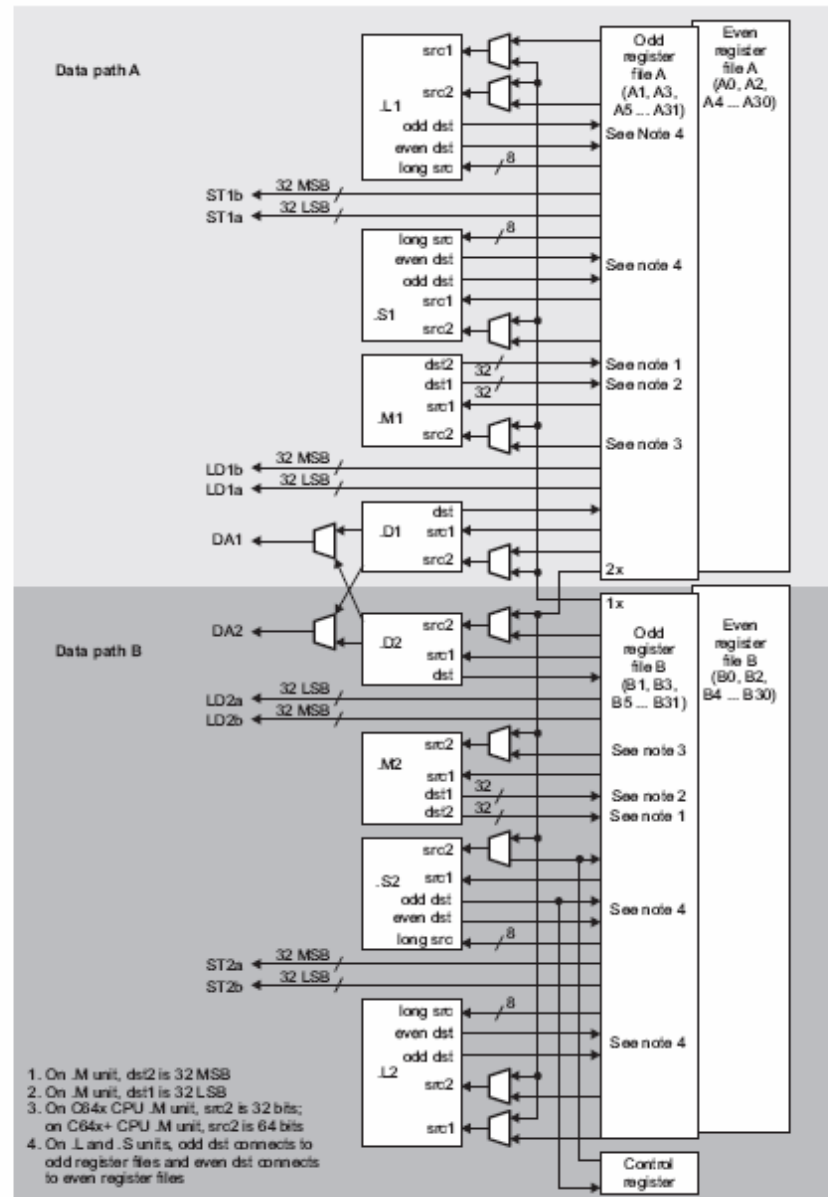
## § 3.2. Caile de date si controlul functionarii CPU

### § 3.1. Caile de date A si B

#### ○ Caile de date A si B contin:

- doua seturi registre de uz general A si B;
- 8 unitati functionale (.L1, .L2, .S1, .S2, .M1, .M2, .D1 si .D2) ;
- 2 cai de incarcare a datelor din memorie (LD1 si LD2);
- 2 cai de stocare a datelor in memorie (ST1 si ST2);
- 2 cai pentru adresele datelor (DA1 si DA2);
- 2 seturi de registre de date pentru datele pe cele doua cai.

# Schema bloc a cailor de date A si B



## ○ Seturile de registre de uz general

- Sunt doua seturi de registre de uz general (A si B) situate pe caile de date ale CPU. Fiecare dintre acestea contine 32 de registre de 32 de biti (A0 – A31, respectiv B0-B31). Aceste registre pot fi utilizate pentru date, pointeri ale adreselor datelor sau registre de conditie.
- Seturile de registre A si B lucreaza cu date in virgula fixa pe 8 biti pana la 64 biti. Datele reprezentate pe un numar de biti mai mare decat 32 biti (de exemplu 40 biti sau 64 biti) sunt memorate in registre pereche. CEi mai putini semnificativi 32 de biti sunt memorati in registrul cu numar par, iar ceilalti biti mai semnificativi (8 sau 32 biti) in urmatorul registru, care este intotdeauna un registru cu numar impar. Pachetele de date sunt memorate – fie valori 4 x 8 biti sau 2 x 16 biti intr-un singur registru de 32 de biti, fie valori 4x 16 biti sau 64 biti in registre pereche.
- Sunt 32 de perechi de registre valide pentru date de 40 biti si 60 biti.

## Schema de memorare a unei date pe 40 de biti in registre pereche

